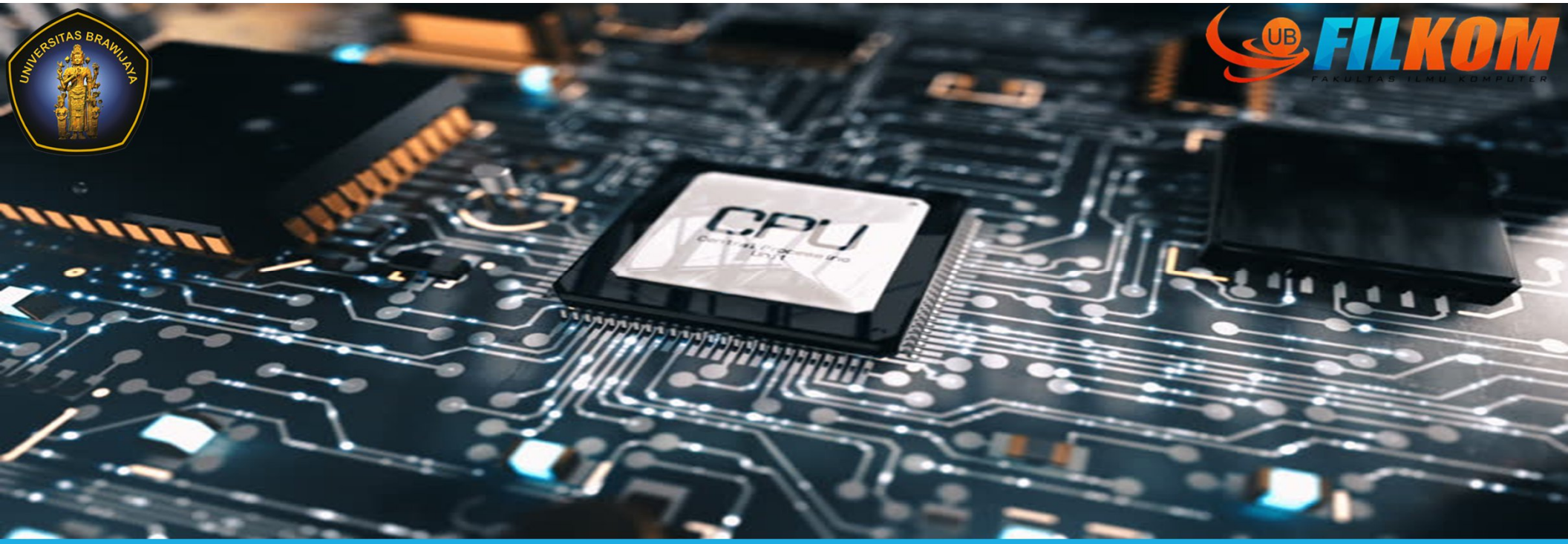


Arsitektur dan Organisasi Komputer

COM 60011

Topik #3 – Processor Structure and Function

Tujuan

CPMK : Mahasiswa mampu menjabarkan arsitektur dan organisasi dari prosesor (CPU) pada suatukomputer
Sub CPMK : Mahasiswa mampu menjelaskan arsitektur dan organisasi dari prosesor (CPU) pada suatu komputer

Materi Terkait:

- Organisasi Prosesor
- Organisasi Memori
- Siklus Instruksi
- Instruksi Pipeline

Processor Structure and Function

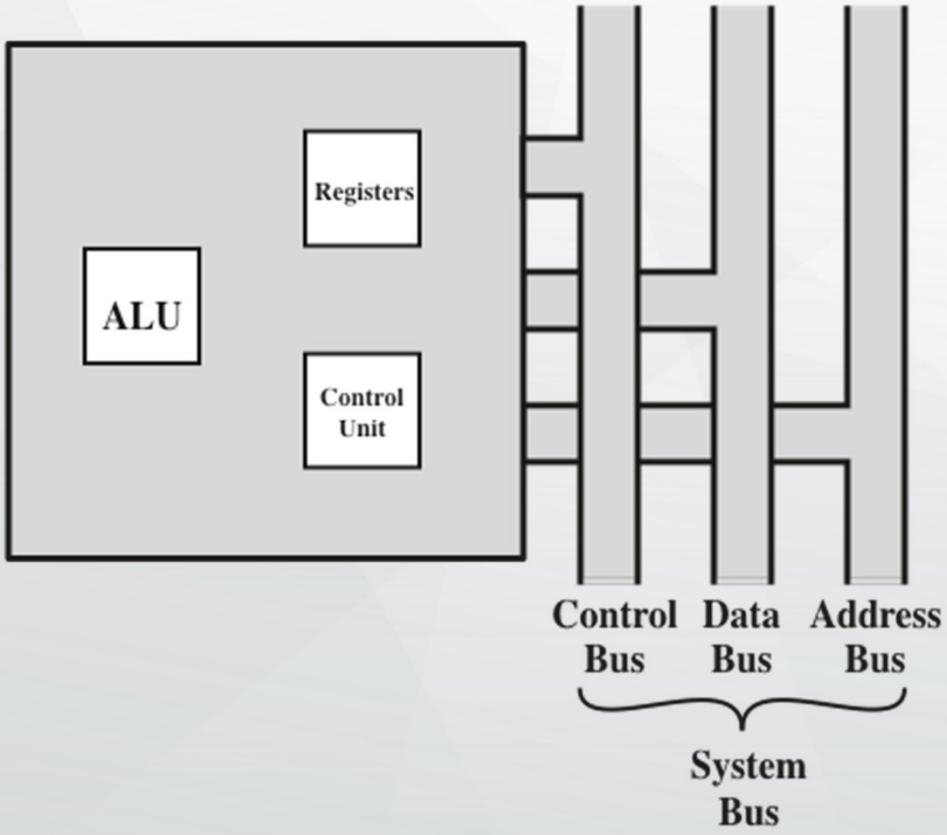
Pendahuluan

Dewasa ini sistem computer multiguna terdiri dari CPU (central processing unit) sejumlah device controller yang dihubungkan melalui bus yang menyediakan akses ke memori.

Setiap device controller bertugas mengatur perangkat yang spesifik (contohnya disk drive,audio device, dan video display).

CPU dan device controller dapat dijalankan secara bersamaan, namun demikian diperlukan mekanisme sinkronisasi untuk mengatur akses ke memori.

Processor Organization



1. Arithmetic and Logic Unit (ALU), bertugas membentuk fungsi – fungsi pengolahan data komputer.
2. Control Unit, bertugas mengontrol operasi CPU dan secara keseluruhan mengontrol komputer sehingga terjadi sinkronisasi kerja antar komponen dalam menjalankan fungsi – fungsi operasinya.
3. Registers, adalah media penyimpan internal CPU yang digunakan saat proses pengolahan data.

CPU Internal Structure

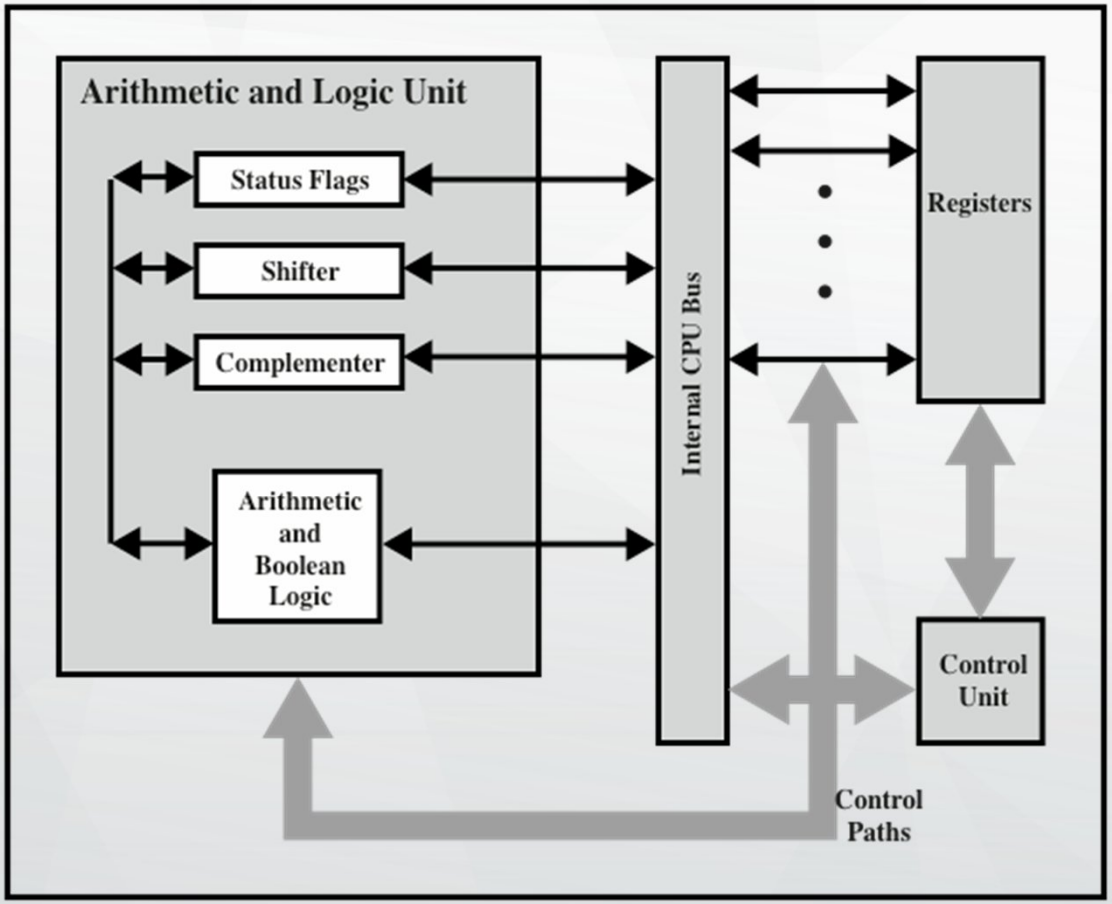


Figure 14.2 Internal Structure of the CPU

Register Organization : User visible-Register

User visible-Register : Register ini memungkinkan programmer bahasa mesin dan bahasa assembler meminimalkan referensi main memory dengan cara mengoptimasi penggunaan register.

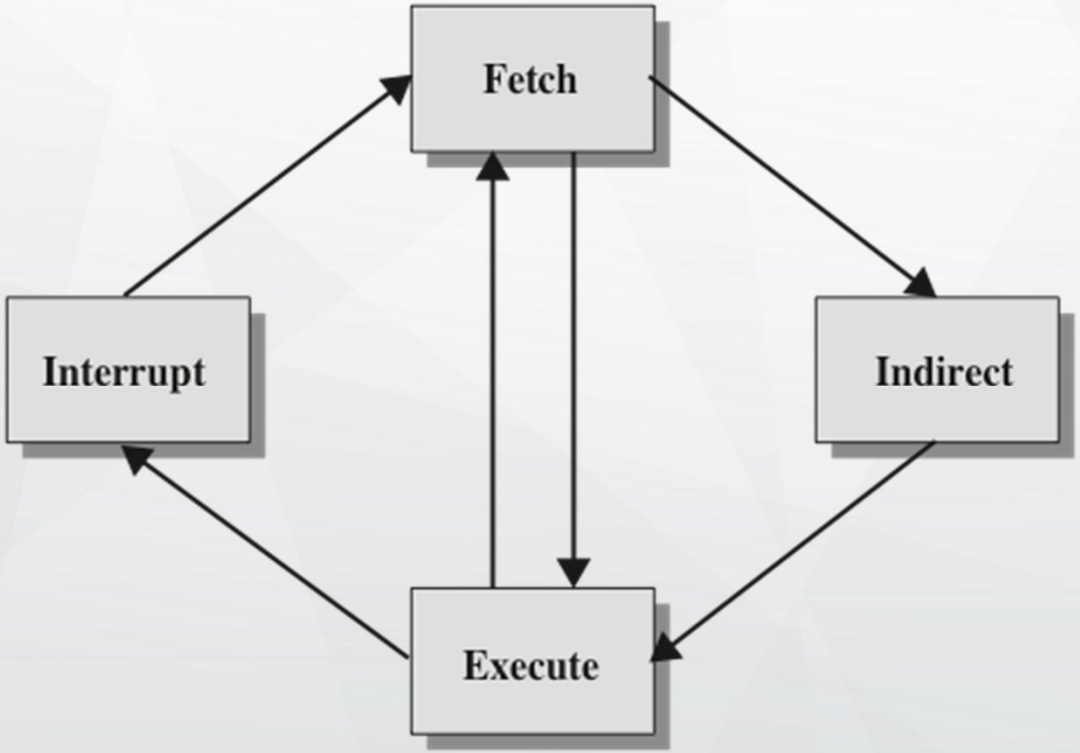
a. General purpose : digunakan untuk berbagai fungsi oleh pemrogram sehingga bisa lebih flexible dan membuat instruksi lebih cepat diproses
b. Data Register : hanya dapat dipakai untuk menampung data dan tidak dapat digunakan untuk kalkulasi dan alamat operand
c. Address : menyerupai generalpurpose, atau register-register tersebut dapat digunakan untuk mode pengalamatan tertentu
d. Condition codes biasanya di-set per bit, condition codes merupakan code dengan kondisinya sudah diperhitungkan pada instruksi program

Register Organization : Control & Status Register

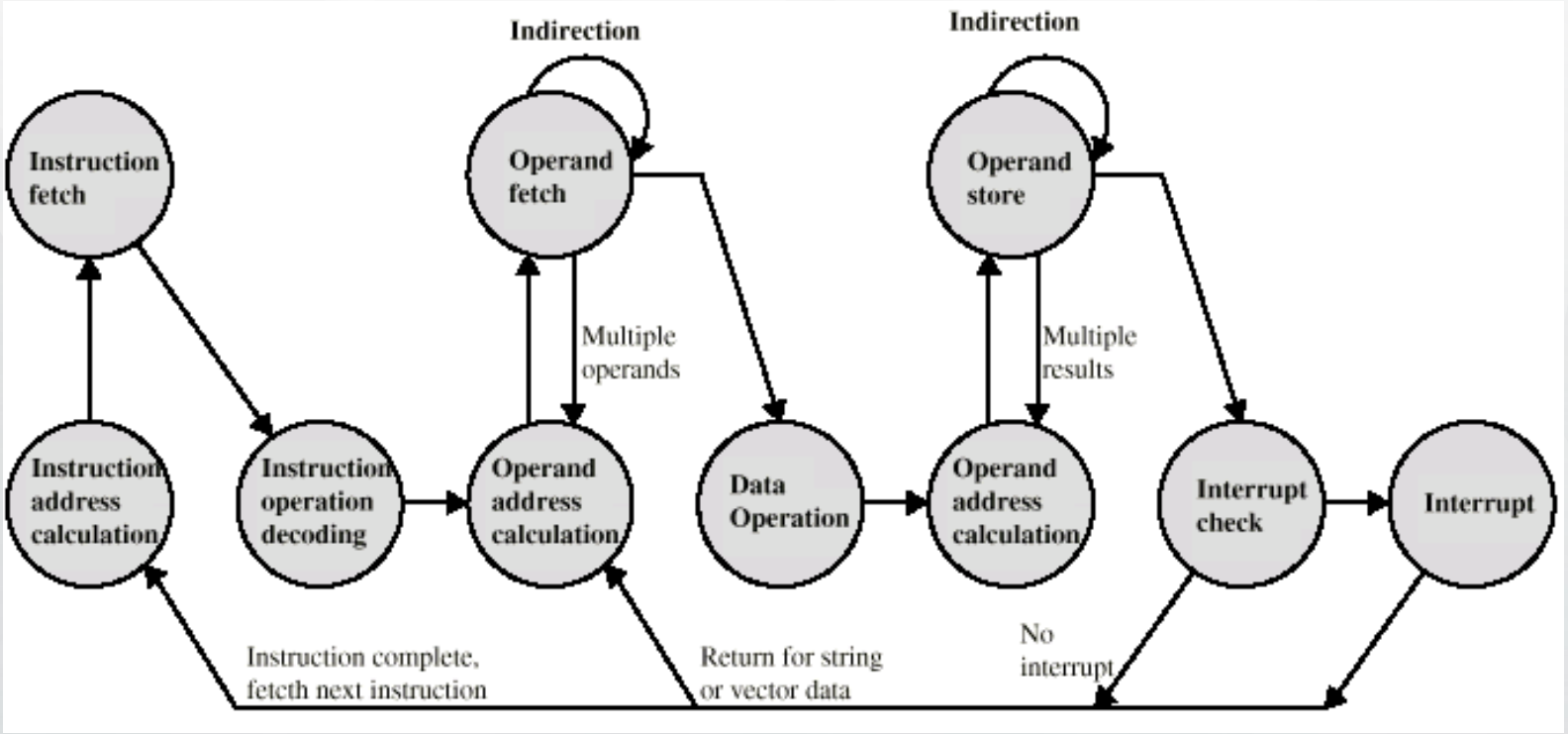
User visible-Register : Register ini digunakan oleh unit kontrol untuk mengontrol operasi CPU dan oleh program sistem operasi untuk mengontrol eksekusi program.

a. Program Counter (PC) atau Pencacah Program: berisi alamat instruksi yang akan diambil,
b. Instruction Register (IR): berisi instruksi yang terakhir diambil,
c. Memori Address Register (MAR): berisi alamat sebuah lokasi di dalam memori,
d. Memori Buffer Register (MBR): berisi sebuah word data yang akan dituliskan ke dalam memori atau word yang terakhir dibaca.

Instruction Cycle



Instruction Cycle State Diagram



Data Flow (Instruction Fetch)

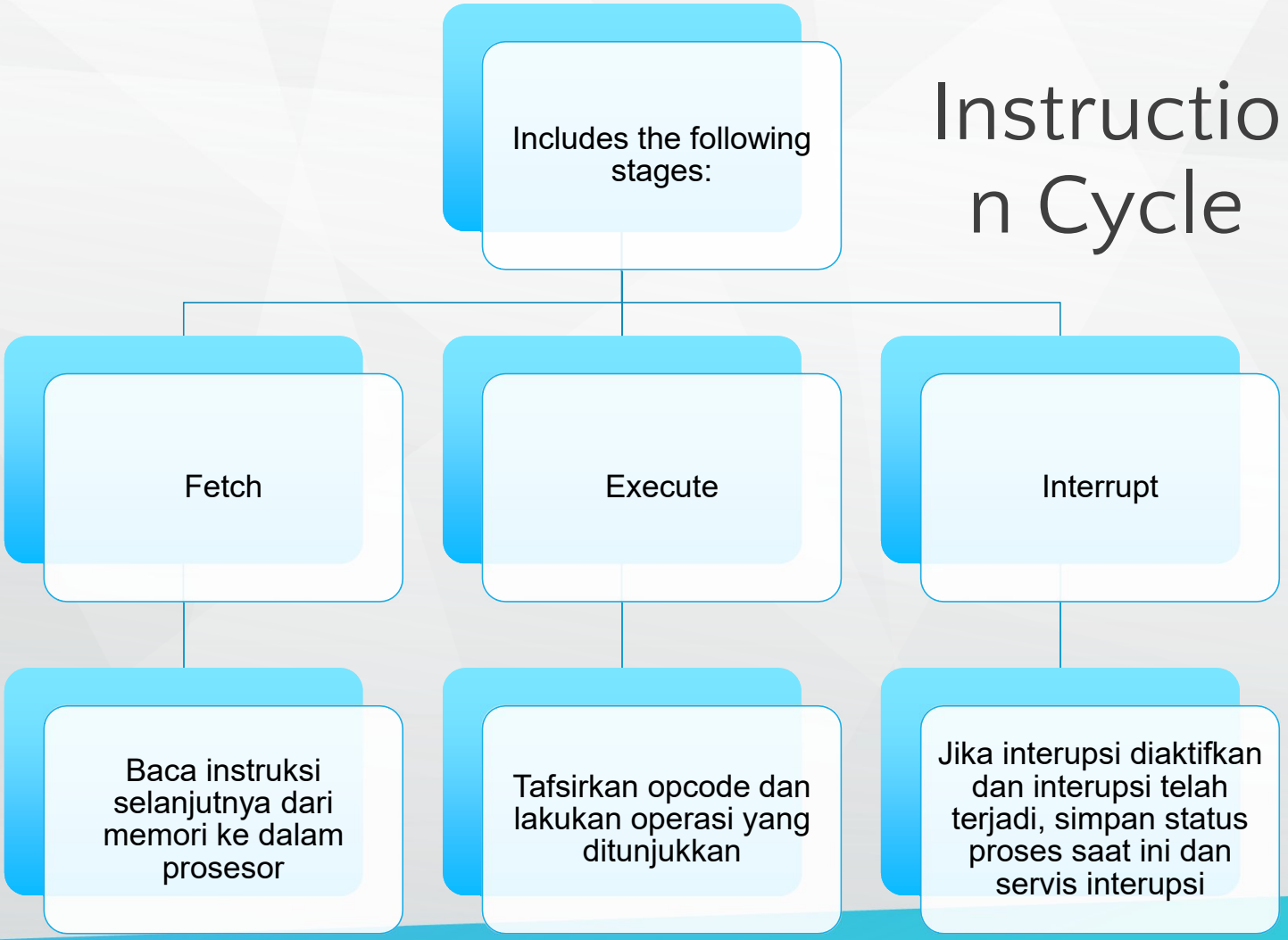
Tergantung pada desain CPU

Secara umum:

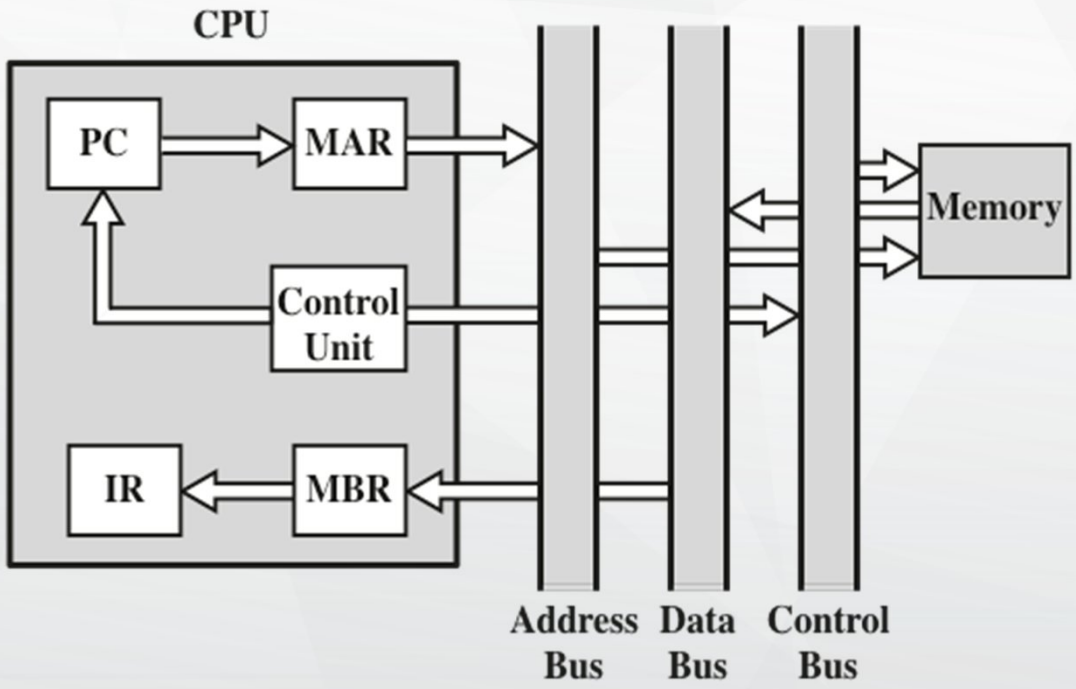
Fetch

- PC berisi alamat instruksi selanjutnya
- Alamat dipindahkan ke MAR
- Alamat ditempatkan di bus alamat
- Unit kontrol meminta pembacaan memori
- Hasil ditempatkan pada bus data, disalin ke MBR, lalu ke IR
- Sedangkan PC bertambah 1

Instruction Cycle

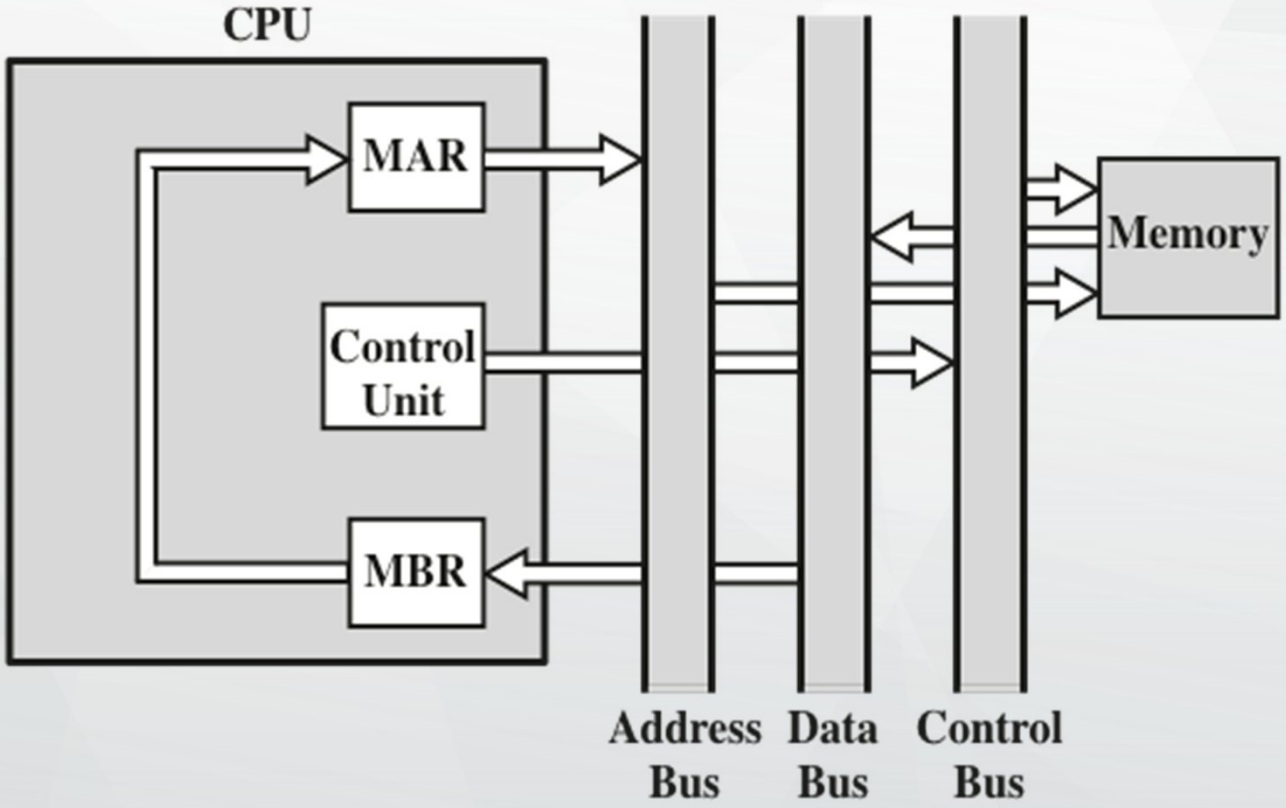


Data Flow, Fetch Cycle

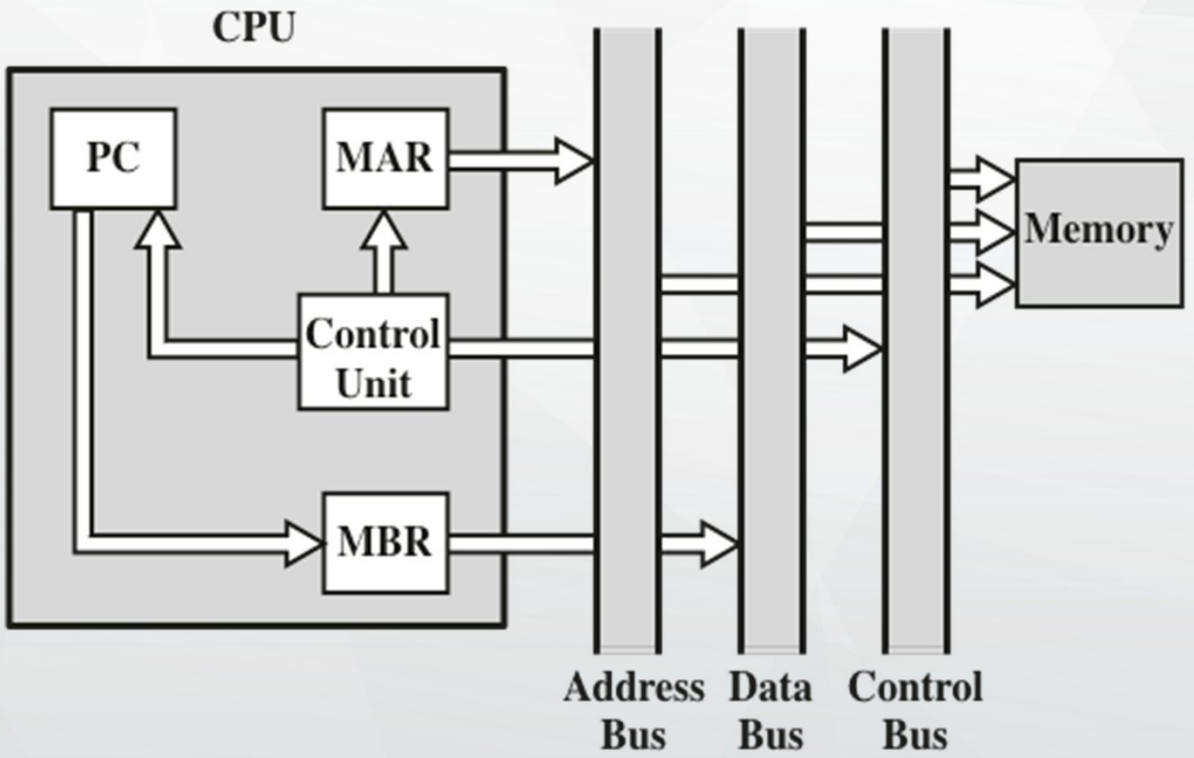


MBR = Memory buffer register
MAR = Memory address register
IR = Instruction register
PC = Program counter

Data Flow, Indirect Cycle



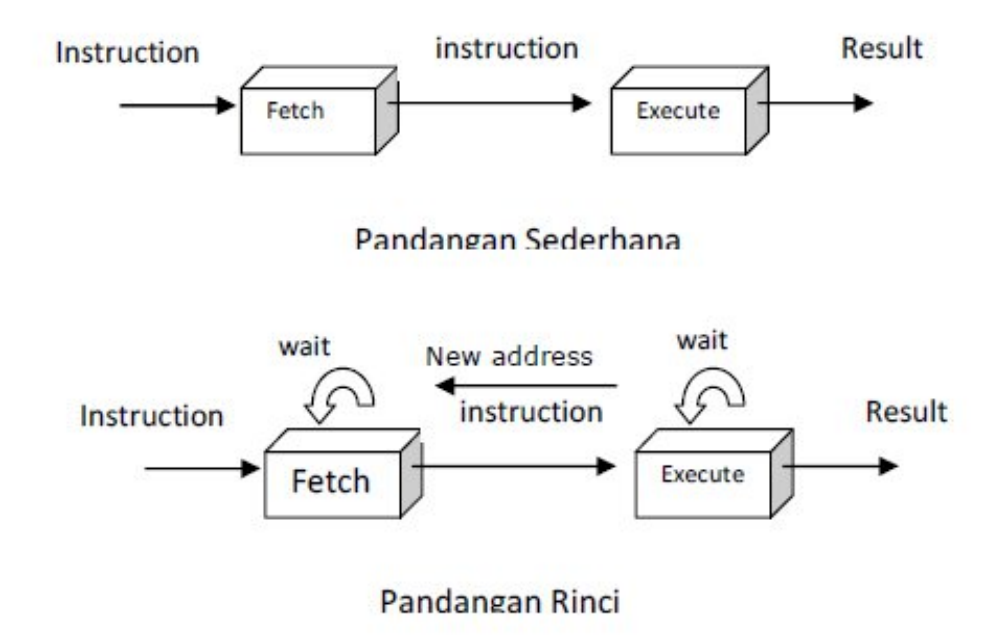
Data Flow, Interrupt Cycle



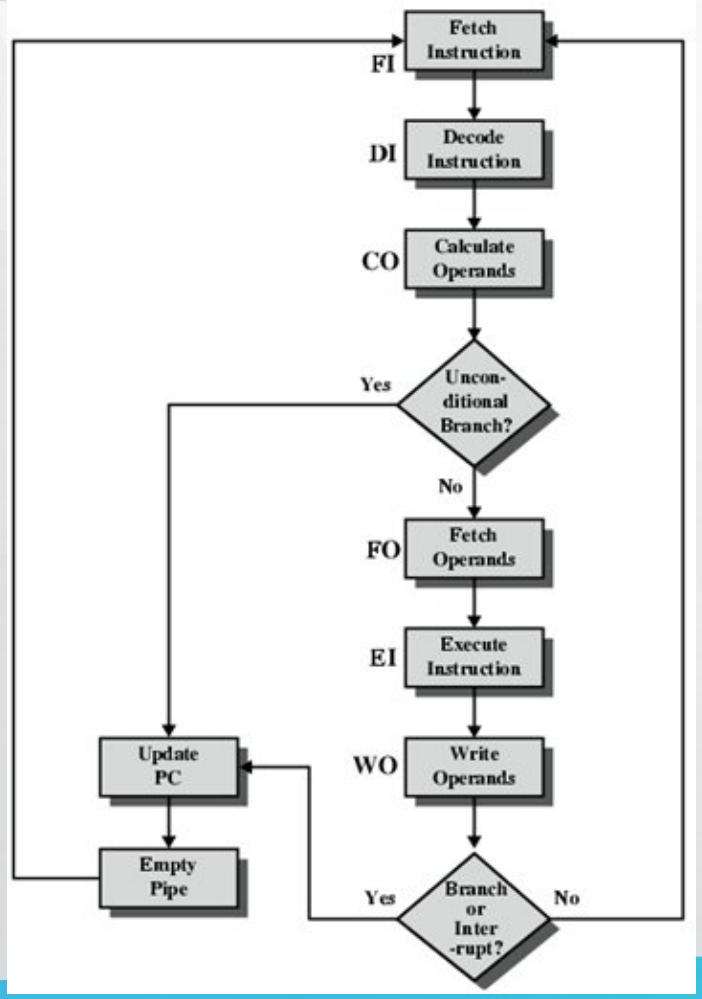
Pipeline

Mesin yang melaksanakan beberapa komputasi yang berbeda secar bersama-sama, namun pada saat itu setiap komputasi akan berada dalam tahapan eksekusi yang berbeda.

Input baru akan diterima pada sebuah sisi sebelum input yang diterima sebelumnya keluar sebagai output di sisi lainnya.



Six Stage Instruction Pipeline



Fetch Instruction(FI)
- Membacainstruksiberikutnyakedalam buffer

Decode Instruction (DI)
- Menentukanopcodedan operand specifier

Calculate Operand(CO)
- Menghitungalamatefektifseluruh operand sumber. Hal ini mungkin melibatkan displacement, register indirect, atau bentuk kalkulasi alamat lainnya

Fetch Operand(FO)
- Mengambilsemua operand darimemori. Operand-operand yang berada di register tidakperludiambil

Execute Instruction(EI)
- Melakukanoperasi yang diindikasikanmenyimpanhasilnya

Write Operand(WO), Menyimpanhasilnya di dalam memory

Terima Kasih

Pustaka : William Stallings, “Computer Organization and Architecture Designing for Performance Eighth Edition”, Prentice Hall, 2019